

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181264

(43) 公開日 平成9年(1997)7月11日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|--------|--------|---------------|--------|
| H 0 1 L 27/04 | | | H 0 1 L 27/04 | L |
| | 21/822 | | H 0 1 F 17/00 | D |
| H 0 1 F 17/00 | | | | |

審査請求 有 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平7-341515

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山崎 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

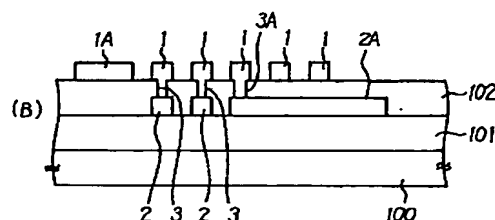
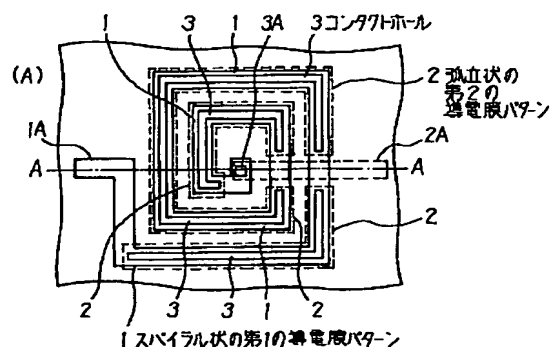
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 配線抵抗を低減することによりQの値を向上することができるスパイラル型インダクタ素子を具備する半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板の一主面上に形成されたスパイラル状の第1の導電膜パターン1と、層間絶縁膜102に設けられたコンタクトホール3を通して第1の導電膜パターン1とのみに電氣的に接続されかつ第1の導電膜パターン1に重畳して延在する孤立状の第2の導電膜パターン2とを有してインダクタ素子を構成する。



【特許請求の範囲】

【請求項1】 半導体基板の一主面上に形成されたスパイラル状の第1の導電膜パターンと、層間絶縁膜に設けられたコンタクトホールを通して前記第1の導電膜パターンに電氣的に接続されかつ該第1の導電膜パターンに重畳して延在する孤立状の第2の導電膜パターンとを有して構成されたインダクタ素子を具備したことを特徴とする半導体装置。

【請求項2】 前記第2の導電膜パターンは、前記第1の導電膜パターンより前記半導体基板側に位置する下層のパターンであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2の導電膜パターンは、前記第1の導電膜パターンより前記半導体基板側から離間して位置する上層のパターンであることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第2の導電膜パターンと同一の層で形成されかつ該第2の導電膜パターンと電氣的に絶縁された引き出し配線が前記第1の導電膜パターンの中心部分に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第2の導電膜パターンは前記第1の導電膜パターンより前記半導体基板側から離間して位置する上層のパターンであり、前記第2の導電膜パターンと同一の層で形成されかつ該第2の導電膜パターンと電氣的に絶縁されたトリミング導電膜が前記第1の導電膜パターンの複数の箇所接続しており、前記複数の箇所の前記トリミング導電膜の部分の切断の有無を選択することにより前記インダクタ素子のインダクタンス値を調整するようにしたことを特徴とする請求項1記載の半導体装置。

【請求項6】 前記スパイラル状の第1の導電膜パターンの側面に絶縁膜を介して磁性体層のサイドウォールが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記磁性体層は鉄・ニッケル合金層もしくは鉄・ニッケル・コバルト合金層であることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記第1の導電膜パターン下の前記半導体基板に該第1の導電膜パターンと同様の平面形状のスパイラル状の溝が形成され、絶縁膜により前記溝が充填されていることを特徴とする請求項1記載の半導体装置。

【請求項9】 半導体基板の一主面に平面形状がスパイラル状の溝を形成する工程と、前記溝を絶縁膜で埋設する工程とを有して分離溝領域を設け、前記分離溝領域上にスパイラル状の第1の導電膜パターンと層間絶縁膜に設けられたコンタクトホールを通して前記第1の導電膜パターンとのみに電氣的に接続されかつ該第1の導電膜パターンに重畳して延在する島状の第2の導電膜パター

ンとを有して構成されたインダクタ素子を形成することを特徴とする半導体装置の製造方法。

【請求項10】 島状の前記第2の導電膜パターンは前記分離溝領域上に形成された下層の導電膜パターンであり、スパイラル状の前記第1の導電膜パターンは前記第2の導電膜パターン上に前記層間絶縁膜を介して設けられた上層の導電膜パターンであることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 スパイラル状の前記第1の導電膜パターンは前記分離溝領域上に形成された下層の導電膜パターンであり、島状の前記第2の導電膜パターンは前記第1の導電膜パターン上に前記層間絶縁膜を介して設けられた上層の導電膜パターンであることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 半導体基板上に島状の下層導電膜パターンを形成する工程と、層間絶縁膜を形成する工程と、前記層間絶縁膜に前記下層導電膜パターンに達するコンタクトホールを形成する工程と、前記コンタクトホールを通して前記下層導電膜パターンに接続するスパイラル状の上層導電膜パターンを形成する工程と、前記上層導電膜パターンの側壁に絶縁膜を介して強磁性体のサイドウォールを形成する工程とを有してインダクタ素子を構成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に係わり、特に半導体基板上にインダクタ素子を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年のLSIでは、その内部搭載素子として、MOSTランジスタ、バイポーラトランジスタ等の能動素子のほか、抵抗、コンデンサ、インダクタ等の受動素子を形成することが重要になってきている。

【0003】特に数100MHzから1GHz以上の無線周波数帯で使われるフィルタ等を構成する素子としてインダクタLはコンデンサCとともに重要な受動素子である。

【0004】LSIに搭載されるインダクタ素子は従来、図11に示すように金属配線M、例えばアルミニウム配線を平面的にスパイラル状（螺旋状）に形成したものが用いられてきた。インダクタは外形寸法Yや巻数nおよび線幅W、線間隔Sによって変化する。例えば、 $W = S = 20\mu m$ 、 $n = 3.5$ 巻とした場合の外形寸法Yとインダクタンス値Lの関係を図12に示す。

【0005】

【発明が解決しようとする課題】前述のインダクタの性能を表す指標にQ（クオリティー・ファクタ）と呼ばれる値がある。このQが高いほどインダクタンスの成分が純粋、すなわち理想的なインダクタに近いといえる。Qは角周波数 ω （ $\omega = 2\pi f$ 、 f ：周波数）、インダクタ

ンス L 、スパイラルインダクタ素子の配線抵抗 R_m により次式のように表される。

【0006】 $Q = \omega L / R_m \cdots \cdots$ 第1式

同式から Q はインピーダンス成分と抵抗成分の比と考えることができ、 Q を高くするにはインダクタンス値 L を出来るだけ大きくすることは勿論のこと、抵抗成分すなわちスパイラル配線の寄生抵抗を低減する必要がある。

【0007】また図13(A)にインダクタの等価回路を示し、図13(B)にこの等価回路に対応したベクトル図が示す。この図13(B)から抵抗成分が大きいほど $\tan \delta$ が大きくなりインダクタンス素子両端の電圧の位相にずれが生じるため、この点からも寄生抵抗 R の低減はインダクタ素子の性能改善に重要といえる。尚、 $\tan \delta$ は Q の逆数であり誘電損失または損失係数と呼ばれ、インダクタスの損失を表す。

【0008】インダクタ素子両端の電圧と電流との関係は次式であたえられる。

【0009】

$V = I \omega L \cdot \sin(\omega t + \delta) \cdots \cdots$ 第2式
理想的には $\delta = 0^\circ$ であるが、寄生抵抗成分が存在すると δ により位相のずれを生じる。

【0010】インダクタの Q を大きくするため従来、主に次の2つの方法が提案されている。第1に分子のインダクタンス L の値を大きくする。すなわち先の図11に示す如く、金属配線層が平面上にスパイラル状に形成されているインダクタの配線長を長くして巻き数を増加させる方法である。しかしながらこの方法では、限られた LSI チップ面積においてインダクタの占有面積が大きくなってしまい、例えば10nH以上のインダクタンス値を得たい場合に図12から巻き数を3.5とすると外形寸法 a が0.6ミリ程度にもなり、他の回路を高集積化するときの大きな障害となる。また単純に配線長を長くすると配線抵抗 R_m が増加し Q がかえって低下してしまう。

【0011】一方、分母の R_m を低減するため配線膜厚を厚くすると配線の形成、特にドライエッチングの際エッチング選択比の大きな適当なマスク材料がなく、配線材料がアルミの場合、配線膜厚を2~3ミクロン程度までしか厚くできず配線抵抗を大幅に低減することは難しい。

【0012】上述の不具合を解決するため、幾つかの提案がこれまでなされてきた。例えば特開昭61-144052号公報には図14に示すようなインダクタ素子を開示している。すなわち図14において、半導体基板41の主面上の絶縁膜42の上に、下層金属配線層43と上層金属配線層44とを交互に配列し、たがいの端部間を層間絶縁膜に形成したスルーホール45を通して接続することにより、横方向に螺旋状に延びるインダクタ素子を構成している。

【0013】また特開平3-263366号公報には図

15に示すようなインダクタ素子を開示している。すなわち図15(A)において、半導体基板50の回路素子領域60上の絶縁膜59の上に、リング状の第1層金属配線層51、リング状の第2層金属配線層52およびリング状の第3層金属配線層53を層間絶縁膜56、57を介して積み重ね、たがいの端部間を層間絶縁膜に形成したスルーホール54、55を通して接続することにより、縦方向に螺旋状に延びるインダクタ素子を構成している。

【0014】このように多層配線技術を利用して基板上の絶縁膜の上に金属配線層のパターンを層間絶縁膜に設けたスルーホールを介して複数層でかつ螺旋状にインダクタ素子を形成することにより配線長を長くしても、素子占有面積があまり大きくならない。

【0015】しかしながら、これらの方法を用いて素子の占有面積が小さくすむような構造にしても、単純に実効的な配線長を長くするだけであるため、配線抵抗 R_m が増加し Q はかえって低下してしまう。

【0016】また上記特開平3-263366号公報では、図15(B)に示すように、インダクタンス値 L を高くするため、各金属配線層間に絶縁膜56'、57'を介して磁性体層58、58を介在させた構造にしている。しかしながらこの方法では配線層毎に磁性体層を、また配線層と磁性体層の間に必ず絶縁膜を設けなければならないなど、製造工程がながくなる欠点を有する。また同公報には記載されていないがインダクタ素子を形成する以外の配線領域にも磁性体が残ってしまうため他の回路に磁気の影響を与えてしまう。一方、インダクタ素子を形成する以外の配線領域の磁性体層を除去するためにはフォトリソグラフィによるエッチング工程を更に追加しなければならない。

【0017】したがって本発明の目的は、配線抵抗を低減することにより Q の値を向上することができるスパイラル型のインダクタ素子を具備する半導体装置を提供することである。

【0018】本発明の他の目的は、 Q の値を向上したスパイラル型のインダクタ素子を容易に得ることができる半導体装置の製造方法を提供することである。

【0019】

【課題を解決するための手段】本発明の特徴は、半導体基板の一主面上に形成されたスパイラル状の第1の導電膜パターンと、層間絶縁膜に設けられたコンタクトホールを通して前記第1の導電膜パターンに電気的に接続されかつ該第1の導電膜パターンに重畳して延在する孤立状の第2の導電膜パターンとを有して構成されたインダクタ素子を具備した半導体装置にある。ここで、前記第2の導電膜パターンが下層のパターンであり、前記第1の導電膜パターンが上層のパターンであることができる。あるいは逆に、前記第1の導電膜パターンが下層のパターンであり、前記第2の導電膜パターンが上層のパ

ターンであることができる。また、前記第2の導電膜パターンと同一の層で形成されかつ該第2の導電膜パターンと電気的に絶縁された引き出し配線が前記第1の導電膜パターンの中心部分に接続されていることが好ましい。さらに、前記第2の導電膜パターンは前記第1の導電膜パターンより前記半導体基板側から離間して位置する上層のパターンであり、前記第2の導電膜パターンと同一の層で形成されかつ該第2の導電膜パターンと電気的に絶縁されたトリミング導電膜が前記第1の導電膜パターンの複数の箇所に接続しており、前記複数の箇所間の前記トリミング導電膜の部分の切断の有無を選択することにより前記インダクタ素子のインダクタンス値を調整することができる。また、前記スパイラル状の第1の導電膜パターンの側面に絶縁膜を介して磁性体層のサイドウォールを設けることができる。この場合、前記磁性体層は鉄・ニッケル合金層もしくは鉄・ニッケル・コバルト合金層であることが好ましい。さらに、前記第1の導電膜パターン下の前記半導体基板に該第1の導電膜パターンと同様の平面形状のスパイラル状の溝が形成され、絶縁膜により前記溝が充填されていることが好ましい。

【0020】本発明の他の特徴は、半導体基板の一主面に平面形状がスパイラル状の溝を形成する工程と、前記溝を絶縁膜で埋設する工程とを有して分離溝領域を設け、前記分離溝領域上にスパイラル状の第1の導電膜パターンと層間絶縁膜に設けられたコンタクトホールを通して前記第1の導電膜パターンとのみに電気的に接続されかつ該第1の導電膜パターンに重畳して延在する島状の第2の導電膜パターンとを有して構成されたインダクタ素子を形成する半導体装置の製造方法にある。ここで、島状の前記第2の導電膜パターンは前記分離溝領域上に形成された下層の導電膜パターンであり、スパイラル状の前記第1の導電膜パターンは前記第2の導電膜パターン上に前記層間絶縁膜を介して設けられた上層の導電膜パターンであることができる。あるいは、スパイラル状の前記第1の導電膜パターンは前記分離溝領域上に形成された下層の導電膜パターンであり、島状の前記第2の導電膜パターンは前記第1の導電膜パターン上に前記層間絶縁膜を介して設けられた上層の導電膜パターンであることができる。

【0021】本発明の別の特徴は、半導体基板上に島状の下層導電膜パターンを形成する工程と、層間絶縁膜を形成する工程と、前記層間絶縁膜に前記下層導電膜パターンに達するコンタクトホールを形成する工程と、前記コンタクトホールを通して前記下層導電膜パターンに接続するスパイラル状の上層導電膜パターンを形成する工程と、前記上層導電膜パターンの側壁に絶縁膜を介して強磁性体のサイドウォールを形成する工程とを有してインダクタ素子を構成する半導体装置の製造方法にある。

【0022】

【発明の実施の形態】以下図面を参照して本発明を説明する。

【0023】まず本発明の第1の実施の形態について説明する。図1は第1の実施の形態の要部を示す図であり、(A)は平面図、(B)は(A)のA-A部の断面図である。

【0024】半導体基板100上に絶縁膜101が設けられ、その上に下層の金属層からなる第2の導電膜パターン2とインダクタ素子の一方の引き出し配線2Aが形成され、その上に層間絶縁膜102が形成され、この層間絶縁膜102に細長平面形状のコンタクトホール3および引き出しコンタクトホール3Aが形成されている。そして層間絶縁膜102上に上層の金属層からなりスパイラル平面形状の第1の導電膜パターン1が形成されてコンタクトホール3を通して第2の導電膜パターン2にそれぞれの箇所で接続し、第1および第2の導電膜パターン1、2によりスパイラル型インダクタ素子を構成している。そして孤立状の第2の導電膜パターン2はスパイラル状の第1の導電膜パターン1のみに電気的に接続している。また、インダクタ素子の他方の引き出し配線1Aが第1の導電膜パターン1と連続的に形成されている。

【0025】コンタクトホール3は第1の導電膜パターン1とともに延在してこの第1の導電膜パターン1下に形成されている。第2の導電膜パターン2は、第1の導電膜パターン1のみに電気的に接続される孤立パターン、すなわち島状のパターンであり、第1の導電膜パターン1の真下に位置し、コンタクトホール3を通して第1の導電膜パターン1に接続しながら第1の導電膜パターン1とともに延在している。

【0026】また、第2の導電膜パターン2と同様に下層の金属層から形成された引き出し配線2Aは、引き出しコンタクトホール3Aを通してスパイラル状の中心部に位置する第1の導電膜パターン1の先端箇所に接続し、第2の導電膜パターン2と接触しないようにしてスパイラル型インダクタ素子の外側に引き出されている。すなわち図1(A)に示すように、第2の導電膜パターン2およびコンタクトホール3は引き出し配線2Aおよびその近傍を避けて形成されており、第2の導電膜パターン2と引き出し配線2Aとが電気的に短絡しないようになっている。

【0027】尚、図1(A)の平面図では、下層の第2の導電膜パターン2および引き出し配線2Aを点線で示し、上層の第1の導電膜パターン1およびそれぞれのコンタクトホール3、3Aを実線で示してある。本実施の形態では第1の導電膜パターン1と第2の導電膜パターン2とは同じ幅を有して延在しているが、図1(A)の平面図では見やすくするために、点線で示す下層の第2の導電膜パターン2は実線で示す上層の第1の導電膜パターン1よりも幅広く描かれている。

【0028】これらの図面、特に図1(A)の平面図に示すように、一方、第2の導電膜パターン2およびコンタクトホール3は引き出し配線1Aおよびその近傍を除いてスパイラル状の第1の導電膜パターン1の略全長下に形成されているから実効的な長さを長くすることなく実質的に膜厚を厚くしたことになる、これによりインダクタ素子の抵抗 R_m を十分に低減させることができる。また層が異なる第1および第2の導電膜パターンから構成されるから、それぞれの膜の膜厚を厚くする必要がなくエッチング等によるパターンニングが容易となる。

【0029】次にこの実施の形態の製造方法を説明する。まずシリコン基板等の半導体基板100の表面上にCVD法により、絶縁膜101として例えばシリコン酸化膜101を500~700nmの膜厚堆積する。次にスパッタ法を用いて、下層の金属層、例えばアルミニウムを500nm~1 μ m形成後、フォトリソエッチング法を用いて孤立状の第2の導電膜パターン2および引き出し配線2Aをパターンニング形状形成する。次にCVD法により、層間絶縁膜102として例えばシリコン酸化膜102を500nm~1 μ mの膜厚堆積した後、コンタクトホール3および引き出しコンタクトホール3Aをドライエッチング法を用いて形成する。次に上層の金属層、例えばアルミニウムを500nm~1 μ mの膜厚形成後、フォトリソエッチング法を用いてスパイラル状の第1の導電膜パターン1およびこれに繋がる引き出し配線1Aをパターンニングして形成する。

【0030】上述したようにこの実施の形態では、上層の第1の導電膜パターン1がスパイラルインダクタ素子の本体を構成し、これに下層の第2の導電膜パターン2を裏打ち(アルミの裏打ち)して寄生抵抗 R_m を低減し、さらに下層の引き出し配線2Aが第1の導電膜パターン1のスパイラル配線中心部からインダクタ素子の一方の端子を引き出す配線として用いている。更にこの実施の形態の図1(A)ではコンタクトホール3が細長い形状であるが、多数の四角のコンタクトホールを配列したもので良い。

【0031】尚、当然ながら第1および第2の導電膜パターン1, 2を構成する上層および下層の金属層であるアルミニウム層は、半導体基板の他の箇所上で、スパイラルインダクタ以外のLSI内の回路素子を接続する配線を形成している。

【0032】次に本発明の第2の実施の形態について説明する。図2は本発明の第2の実施の形態の要部を示す図であり、(A)は平面図、(B)は(A)のB-B部の断面図である。尚、図2において図1と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0033】この第2の実施の形態ではインダクタの寄生抵抗を低減する他に、インダクタンスの実測値が設計値からずれた場合の微調整、いわゆるトリミングが可能

なインダクタ素子を実現できる。

【0034】この第2の実施の形態では、第1の実施の形態と逆に、下層の金属層によりインダクタ素子の本体となるスパイラル状の第1の導電膜パターン11が形成され、上層の金属層により抵抗低減のために裏打ち用の孤立状の第2の導電膜パターン12が形成され、層間絶縁膜102に設けられた細長平面形状のコンタクトホール3を通して第1の導電膜パターン11の略全長にわたってその上面に接続している。そして孤立状の第2の導電膜パターン12はスパイラル状の第1の導電膜パターン11のみに電気的に接続している。

【0035】また上層の金属層により一方の引き出し配線12Aおよび他方の引き出し配線となるトリミング導電膜12Bも形成されている。

【0036】一方の引き出し配線12Aは引き出しコンタクトホール3Aを通してスパイラル状の中心部に位置する第1の導電膜パターン11の先端箇所接続している。トリミング導電膜12Bは引き出しコンタクトホール3Bを通してスパイラル状の外周部に位置する第1の導電膜パターン11の先端箇所接続して他方の引き出し配線ともなっている。さらにこのトリミング導電膜12Bはトリミング用コンタクトホール3Eおよび3Fを通して第1の導電膜パターン11のそれぞれの箇所接続されている。

【0037】すなわちトリミングは製造の終了した後、第1の導電膜11の X_1 , X_2 部分のうちの選ばれた部分をレーザーカットして所望のインダクタンス値になるように調整する。例えば、インダクタ長を最も長くしたい場合は、 X_1 , X_2 部分の両方をカットする。最も短くしたい場合は、 X_1 , X_2 部分の両方ともカットしない。

【0038】一方の引き出し配線12Aおよび他方の引き出し配線となるトリミング導電膜12Bは第2の導電膜パターン12と接触しないようにしてスパイラル型インダクタ素子の外側に引き出されている。すなわち図2(A)に示すように、第2の導電膜パターン12およびコンタクトホール3は、引き出し配線12Aおよびトリミング導電膜12Bならびにそれら近傍を避けて短絡を防止し、かつなるべく長い距離に亘って第1の導電膜パターン11と接続するようにコの字の平面形状に形成されている。

【0039】尚、図2(A)の平面図では、上層の第2の導電膜パターン12、引き出し配線12Aおよびトリミング導電膜13Bを点線で示し、下層の第1の導電膜パターン11およびそれぞれのコンタクトホール3, 3A, 3B, 3E, 3Fを実線で示してある。またこの実施の形態でも第1の導電膜パターン11と第2の導電膜パターン112とは同じ幅を有して延在しているが、図2(A)の平面図では見やすくするために、点線で示す上層の第2の導電膜パターン12は実線で示す第1の導

電膜パターン11よりも幅広く描くのである。

【0040】ここで先に第1式で示したクオリティー・ファクタQをさらに詳しく表現してみると、第1式は次

$$1/Q = (R_m/\omega L) + (\omega C_{sub}/R_{sub}) \dots \dots \text{第3式}$$

但し、 R_{sub} ：基板の寄生抵抗、 C_{sub} ：インダクタンス素子間基板間寄生容量である。この第3式から、Qを大きくするにはインダクタのスパイラル配線寄生抵抗 R_m を低減する以外に、インダクタ素子と基板間の寄生容量 C_{sub} を低くし基板の抵抗 R_{sub} を高くすることも有効であることが判る。

【0042】Qの周波数f依存性とこれらの寄生成分との関係は図3に示すようになる。例えば1GHz以下の周波数においては主に配線抵抗の影響が大きく、5～10GHz以上の周波数では主に寄生容量 C_{sub} と寄生抵抗 R_{sub} の要因が大きく影響する。

【0043】従って比較的使用周波数の低い(1GHz)場合に、高いQを実現するためには本発明の第1および第2の実施の形態が有効である。一方、5～10GHz以上の周波数で高いQを実現するには次に述べる本発明の第3および第4の実施の形態を適用することが有効である。またこれらの第1～第4の実施の形態を組み合わせ適用しても良いことは言までもない。

【0044】次に本発明の第3の実施の形態について説明する。図4は第3の実施の形態の要部を示す図であり、(A)は平面図、(B)は(A)のC-C部の断面図である。尚、図4において図1と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0045】図4(A)の平面図において、図を見やすくするために、上層のスパイラル状の第1の導電膜パターン1および引き出し配線1A(実線)、中央部の引き出しコンタクトホール3A(実線)、スパイラル状の第1の導電膜パターン1下のスパイラル状の分離溝4(2点鎖線)のみを描いてある。

【0046】この第3の実施の形態が先の第1および第2の実施の形態と異なる点は、基板上の絶縁膜の上に設けたインダクタ素子の本体となるスパイラル状の第1の導電膜パターン1直下の基板中に絶縁膜103を埋設した分離溝4を形成した絶縁分離領域を設けたことである。

【0047】このような本実施の形態によれば、基板中に設けたこの絶縁分離領域4、103によりインダクタ素子-基板間に付く寄生容量を極めて小さくすることができる。

【0048】次に本実施の形態の製造方法について図面を参照して説明する。

【0049】まず図5(A)に示すように、半導体基板100上に絶縁膜101、例えばシリコン酸化膜101を膜厚500～700nmに形成する。次に図5(B)に示すように、半導体基板100およびシリコン酸化膜

の第3式のようにも表され、その周波数fに対する依存性は図3のようになる。

【0041】

101を貫通しドライエッチング法を用いて深さ、例えば5μmの溝4を形成する。溝幅は後工程で形成するインダクタ配線幅すなわち第1の導電膜パターンの幅と同じもしくは1～2μm広めにすることが好ましい。

【0050】次に図5(C)に示すように、CVD法により絶縁膜103例えばシリコン酸化膜103を厚さ500nm～1μm堆積する。シリコン酸化膜103は下層金属層の第2の導電膜パターン2および引き出し配線2A下の層間絶縁膜として用いられると同時に溝4の内部を埋設する絶縁膜としても用いられる。この後、シリコン酸化膜103の表面をCMP(Chemical-Mechanical-Polishing)法により研磨して平坦性を向上することもできる。平坦性を向上することにより溝分離領域上にスパイラルインダクタを形成してもインダクタ配線層の配線切れもなく歩留まり良くインダクタを実現できる。

【0051】次に図5(D)に示すように、第1の実施の形態と同様に、下層の第2の導電膜パターン2をこの溝4の直上に設ける。次に図5(E)に示すように、層間絶縁膜102を形成し、この層間絶縁膜102に第1の導電膜パターン1と第2の導電膜パターン2とを接続するコンタクトホール3および第1の導電膜パターン1と引き出し配線2Aを接続する引き出しコンタクトホール3Aを形成し、その後、スパイラルインダクタ素子の本体となるスパイラル状の第1の導電膜パターン1を上層の金属層によりこの溝4の直上に設ける。

【0052】上記図4および図5では、島状の前記第2の導電膜パターンが分離溝領域4上に形成された下層の導電膜パターンであり、スパイラル状の第1の導電膜パターンが第2の導電膜パターン上に層間絶縁膜を介して設けられた上層の導電膜パターンである場合を説明した。しかしスパイラル状の第1の導電膜パターンが分離溝領域4上に形成された下層の導電膜パターンであり、島状の第2の導電膜パターンが第1の導電膜パターン上に層間絶縁膜を介して設けられた上層の導電膜パターンであってもよくこの場合も同様の効果が得られる。

【0053】尚、インダクタ素子の外形にあった一つの溝を設けるのではなく、スパイラル状のインダクタパターンに沿ってインダクタ直下の基板中に分離溝領域を設けるのは、分離溝内部を絶縁膜で埋設しやすくするためである。すなわち、インダクタ素子の外形は前述したように数100μm角にもなる場合が普通であり、このような大面積を平坦性良く絶縁膜で埋設することは非常に難しい。また、インダクタ素子下に設ける溝とLSIの別の領域に設けた回路内部で用いるトランジスタの素子分離溝を同時に形成する場合は、この実施の形態のよう

にインダクタ素子下の基板中にスパイラル状の溝領域を設けたほうが容易にそれぞれの溝内部を絶縁膜で埋設することができる。通常、バイポーラトランジスタの溝分離は幅0.5~1.5 μm 、深さ3~5 μm で設けられる。

【0054】尚、溝を形成する半導体基板は前述の第3式からわかるように、できるだけ高抵抗(R_{sub} 大)であることが高いQを得るには重要である。したがって例えば、比抵抗は10~100 $\Omega\cdot\text{cm}$ の基板を用いる。

【0055】次に本発明の第4の実施の形態について説明する。図6は第4の実施の形態の要部を示す図であり、(A)は平面図、(B)は(A)のD-D部の断面図である。尚、図6において図1と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0056】この第4の実施の形態で第1乃至第3の実施の形態と異なる点は基板上の絶縁膜の上に設けたスパイラルインダクタにおいて、インダクタ素子の本体である上層のスパイラル状の第1の導電膜パターン1の側面に絶縁膜を介して磁性体層のサイドウォールを有することを特徴としている。

【0057】この実施の形態によれば、配線が3~4層のように多層化された場合でも、各配線層間に磁性体層を設ける必要はなく、従来の製造方法よりも簡単にインダクタンス値を大きくすることができる。

【0058】尚、図6(A)の平面図ではインダクタ素子に関して図を見やすくするために、上層の金属層からなる第1の導電膜パターン1、引き出し配線1Aと磁性体側壁5のみを図示してある。

【0059】また図の左側には、インダクタ素子の孤立状の第2の導電膜パターン2の形成時に同じ下層金属層をパターンニングして得られた下層配線16およびインダクタ素子のスパイラル状の第1の導電膜パターン1の形成時に同じ上層金属層をパターンニングして得られた上層配線17が形成され、インダクタ素子のコンタクトホール3の形成と同じ工程で形成されたコンタクトホール18を通して上層配線17と下層配線16が接続されて半導体基板の他の内部回路用の多層配線構造を構成している。またインダクタ素子の第1の導電膜パターン1上および多層配線構造の上層配線17上に絶縁膜104、105例えばシリコン酸化膜104、105が設けられ、インダクタ素子のスパイラル状の第1の導電膜パターン1の側面にはシリコン酸化膜105が被着しこの上に磁性体層のサイドウォール5が形成されている。

【0060】次にこの第4の実施の形態の製造方法について、図7および図8を参照して説明する。

【0061】前述の第1の実施の形態と同様に図7(A)に示すように、半導体基板100上に絶縁膜101、例えばシリコン酸化膜101を500~700nm

の膜厚に形成する。次に下層金属層を堆積しこれをパターンニングすることにより、スパイラルインダクタ素子の孤立状の第2の導電膜パターン2および引き出し配線2Aならびに他の内部回路用の下層金属配線16を形成する。次に絶縁膜、例えばシリコン酸化膜102を成長温度200~400℃の低温CVD法で膜厚500~600nmに形成後、コンタクトホール3、3A、18を形成する。次に上層金属層19および絶縁膜、例えばシリコン酸化膜104を膜厚200~300nmに形成する。上層金属層19上のシリコン酸化膜104は上層金属層19のエッチング加工を容易にするためのもので無くても良い。次にフォトリソ法を用いてフォトリソレジスト6をマスクとしてシリコン酸化膜104および上層金属層19を選択的にエッチング加工してインダクタ素子用のスペース溝7を形成する。このエッチングの際、下方のシリコン酸化膜102も100~200nmオーバーエッチングすると後の工程で形成される磁性体側壁を十分かつ容易にスパイラル状の第1の導電膜パターン1の側面に被覆形成することができる。以上の工程を経て、図7(A)の断面図に示す構造ができる。またこのときのスペース溝7のみの平面図を図9(A)に示し、同図のE-E部の断面図が図7(A)である。

【0062】次に図7(B)に示すように基板全面に絶縁膜、シリコン酸化膜105を成長温度200~450℃の低温CVD法で膜厚50~100nm成長し、次に蒸着法を用いて磁性体層、例えば鉄・ニッケル(Fe・Ni)の合金層9を順次形成する。

【0063】次に図7(C)に示すように、イオンミリング法により磁性体合金層9の水平部分を除去し垂直部分のみを残余させることにより、スパイラル状の第1の導電膜パターン1の側面に磁性体合金層9から得られた磁性体層のサイドウォール5を形成する。ミリング条件は、例えば加速電圧400~500V、加速電流0.4~0.5Aとする。

【0064】次に図8(A)に示すように、スパイラルインダクタ素子の外周の上層金属層とインダクタ素子以外の回路に用いている上層金属層19をエッチングマスク21を用いてパターンニングする。このときの平面図を図9(B)に示し、同図のF-F部の断面図が図8(A)である。

【0065】次に、ドライエッチングマスク21を除去し、図8(B)の断面図に示す構造となる。

【0066】この実施の形態では、インダクタスペース溝に磁性体のサイドウォールを形成してから上層金属配線17を形成するので、イオンミリングを用いて磁性体サイドウォールを形成する際、飛び散った磁性体で上層金属配線17間ショート(短絡)するような不具合は発生しない。

【0067】さらに図10に示すように、スパイラルインダクタ素子のスパイラル状の第1の導電膜間を完全に

磁性体層5で埋設してもよい。

【0068】また、従来用いられていたフェライト（酸化鉄と酸化カルシウムの混合物）は周波数特性が悪く、kHzオーダーの周波数までしか用いることができないが、鉄・ニッケル合金は更に高周波特性が良く、数MHzから数10MHz領域まで使うことができる。また磁性体層にコバルトを混合させ、鉄・ニッケル・コバルト（Fe・Ni・Co）の合金層を形成することもでき、鉄・ニッケル合金よりも高周波特性が更に良く、数10MHz以上の無線周波数にまで用いることができる。

【0069】また上記第1乃至第4の実施の形態に用いた絶縁膜101、102、103、104および105としてのシリコン酸化膜は分極等の影響を避けるためリンなどの不純物を含まないものが好ましい。またこれらの絶縁膜の材料はシリコン酸化膜にかぎらずシリコン窒化等の他の絶縁材料を用いてもよく、あるいはこれらの絶縁材料を組み合わせで絶縁膜を構成してもよい。

【0070】

【発明の効果】以上説明したように本発明の第1および第2の実施の形態の構造にすることでスパイラルインダクタ素子の寄生抵抗Rmを大幅に低減することができる。

【0071】更に、第3の実施の形態を適用しインダクタ素子のスパイラル状の第1の導電膜パターン直下の基板中に絶縁膜を埋設した分離溝領域を形成することでインダクタ素子-基板間に付く寄生容量を極めて小さくでき、インダクタ素子のQを高くすることができる。

【0072】また第4の実施の形態によれば、従来提案されている製造方法よりも容易にスパイラルインダクタ素子の配線層間に磁性体層を設けることができ、インダクタのQ値を更に大きくすることができ、かつ良好な高周波特性が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す図であり、(A)は平面図、(B)は(A)のA-A部の断面図である。

【図2】本発明の第2の実施の形態を示す図であり、(A)は平面図、(B)は(A)のB-B部の断面図である。

【図3】インダクタ素子のクォリティーファクタの周波数特性を示す図である。

【図4】本発明の第3の実施の形態を示す図であり、(A)は平面図、(B)は(A)のC-C部の断面図である。

【図5】本発明の第3の実施の形態の製造方法を工程順に示す断面図である。

【図6】本発明の第4の実施の形態を示す図であり、(A)は平面図、(B)は(A)のD-D部の断面図である。

【図7】本発明の第4の実施の形態の製造方法を工程順

に示す断面図である。

【図8】図7の続きの工程を順に示す断面図である。

【図9】本発明の第4の実施の形態の製造方法の各工程における平面図であり、(A)のE-E部が図7(A)の断面図、(B)のF-F部が図8(A)の断面図である。

【図10】本発明の第4の実施の形態の一部を変更した形態を示す断面図である。

【図11】従来のスパイラルインダクタ素子を示す図である。

【図12】スパイラルインダクタ素子の外形寸法とインダクタンス値の関係を示す図である。

【図13】インダクタ素子の寄生抵抗と損失の関係を説明する図であり、(A)はインダクタ素子の等価回路図、(B)は電圧ベクトル図である。

【図14】従来技術のインダクタ素子を示す図である。

【図15】他の従来技術のインダクタ素子を示す図である。

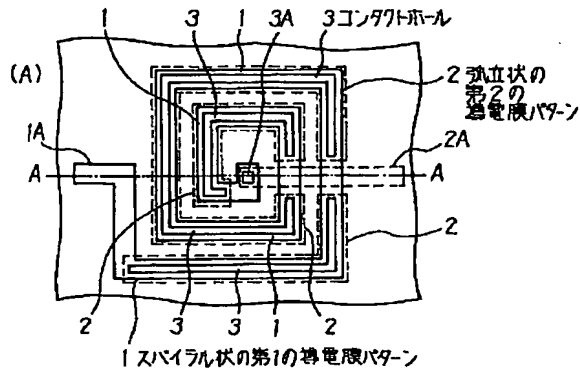
【符号の説明】

- 1 スパイラル状の第1の導電体パターン
- 1A 引き出し配線
- 2 孤立状の第2の導電体パターン
- 2A 引き出し配線
- 3 細長形状のコンタクトホール
- 3A, 3B 引き出しコンタクトホール
- 3E, 3F トリミング用コンタクトホール
- 4 分離溝
- 5 磁性体側壁
- 6, 21 フォトレジストマスク
- 7 スペース溝
- 9 磁性体合金層
- 11 スパイラル状の第1の導電体パターン
- 12 孤立状の第2の導電体パターン
- 12A 引き出し配線
- 12B トリミング導電膜
- 16 下層配線
- 17 上層配線
- 18 コンタクトホール
- 19 上層金属層
- 41 半導体基板
- 42 絶縁膜
- 43 下層金属配線層
- 44 上層金属配線層
- 45 スルーホール
- 50 半導体基板
- 51 第1層金属配線層
- 52 第2層金属配線層
- 53 第3層金属配線層
- 54, 55 スルーホール
- 56, 57 層間絶縁膜

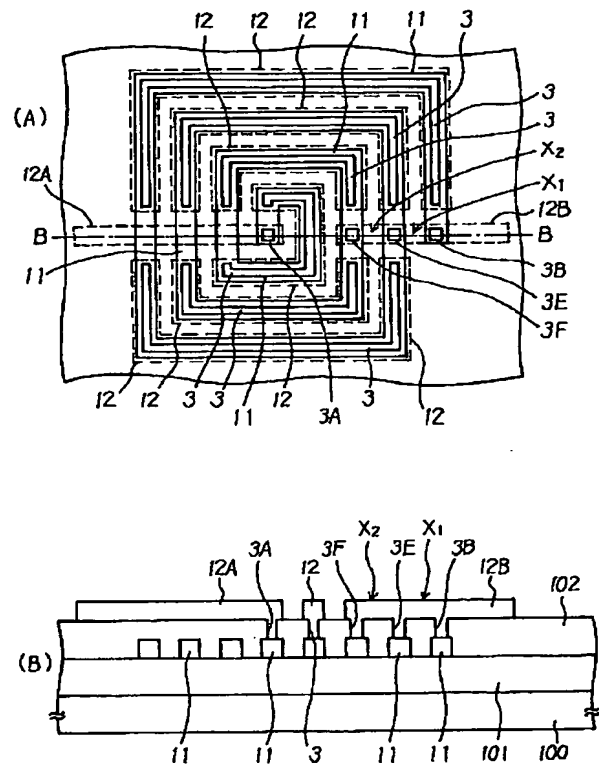
56', 57' 絶縁膜
58 磁性体層
59 絶縁膜

60 回路素子領域
100 半導体基板
101~105 絶縁膜

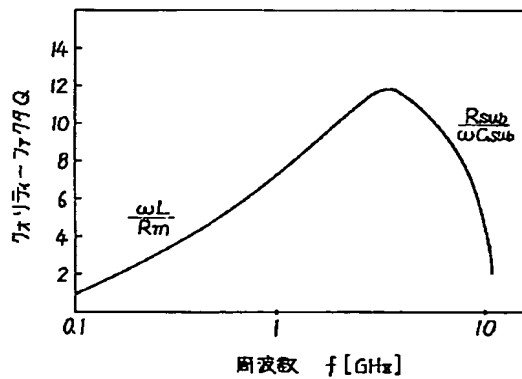
【図1】



【図2】

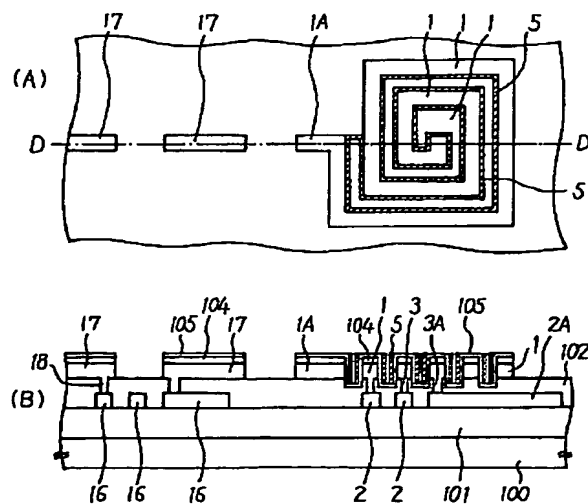


【図3】

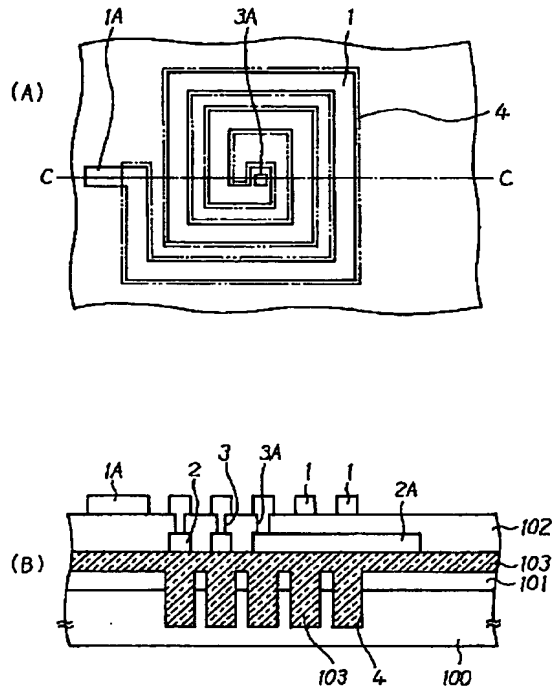


線幅 $w = 15 \mu m$
線間隔 $s = 5 \mu m$
外形寸法 $a = 300 \mu m$

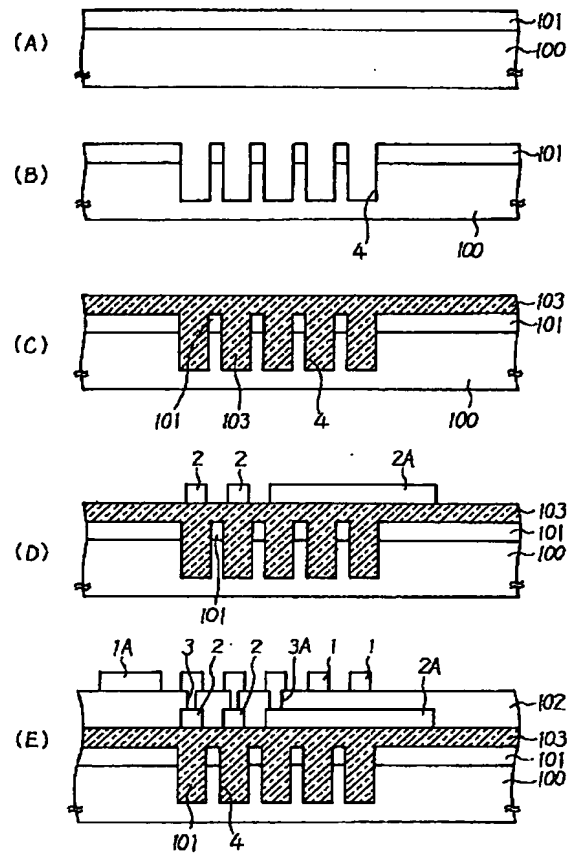
【図6】



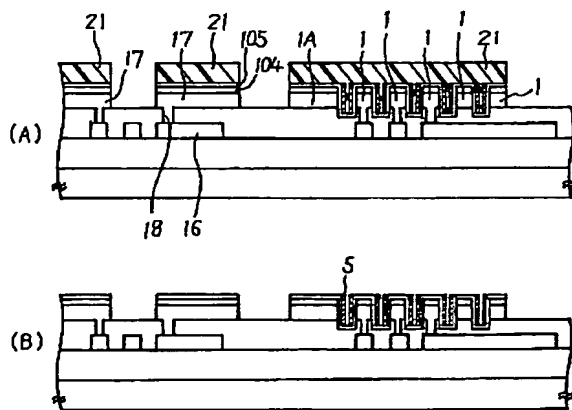
【図4】



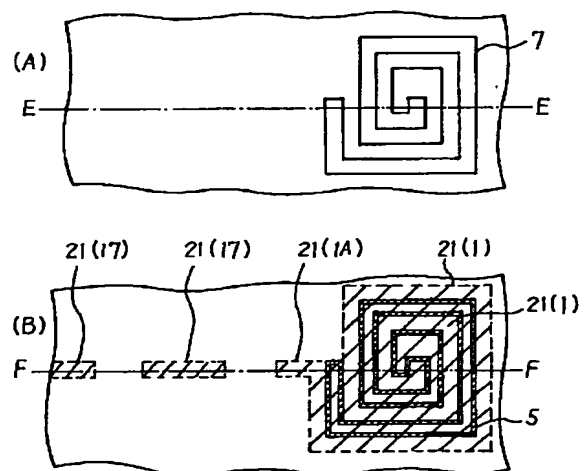
【図5】



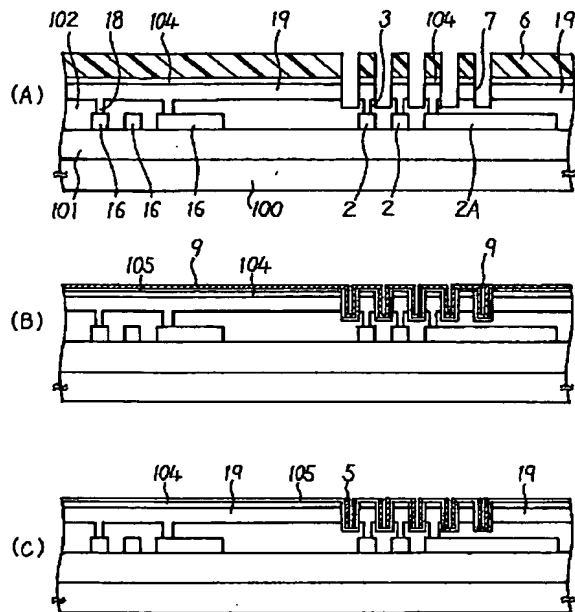
【図8】



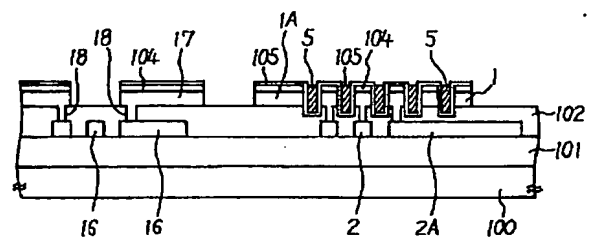
【図9】



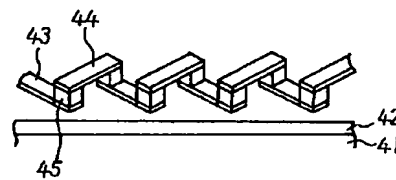
【図7】



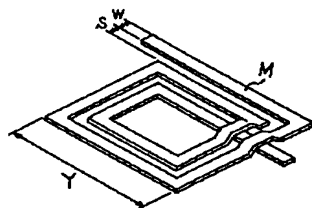
【図10】



【図14】

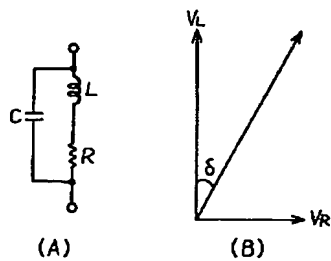


【図11】



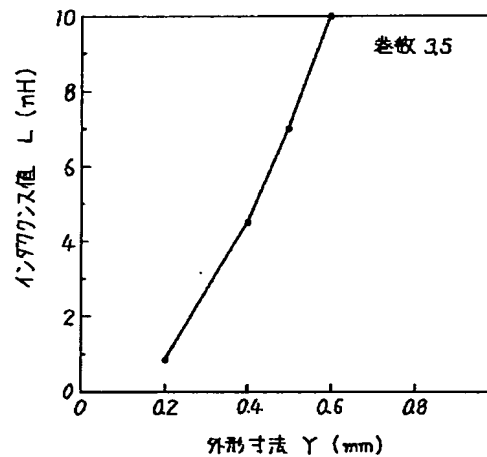
S: 線間隔
W: 線幅
Y: 外形寸法
M: 金属配線

【図13】



V_L : インダクタンスによる電圧
 V_R : 抵抗分による電圧
 $\tan \delta$: 誘電損失
 L : インダクタンス
 R : 寄生抵抗
 C : 分布容量

【図12】



【図15】

